78M6618 PDU1
ハードウェア設計のガイドライン

アプリケーションノート

AN_6618_027 **2012年4月**

1　はじめに

一部のアプリケーションおよび市場では、インテリジェントPDU (ラック用電源タップ)が、電源の監視や、データセンター機器、ワークステーション、ホームエンタテイメントシステム、サブパネル回路のオン/オフ制御に利用されています。78M6618エネルギー測定システムオンチップ(SoC)のPDU1ソリューションは、コンセント単位とまたは回路レベルの測定に対応した単一フェーズシステムを対象に設計されています。

このアプリケーションノートでは、78M6618 PDU1を製品に実装する設計者を対象に、ハードウェアおよびシステムの設計ガイドラインについて説明します。これらのガイドラインは、マルチタップのクロストークの最小化と精度の最大化を達成するための課題とソリューションを見直すことで、設計サイクルを短縮することを目的としています。

このアプリケーションノートでは、はじめにすべてのアプリケーションに共通の全般的な推奨事項について説明します。次にPDU設計のさまざまな実装の設計例と関連ヒントを紹介します。これらの例では、設計ファイルをダウンロード可能な評価ボードを参照しています。

図 1:標準的なラック用電源タップ(PDU)

2 78M6618 PDU1 の全般的な推奨事項と設計のヒント

2.1 3.3 VDC 電源(V3P3)およびシステム接続

78M6618には単一の3.3 VDC電源が必要です。3.3 V電源(V3P3Aピン)は、78M6618のアナログフロントエンドとADCのリファレンス電位にもなります。図2に基本的な接続を示します。
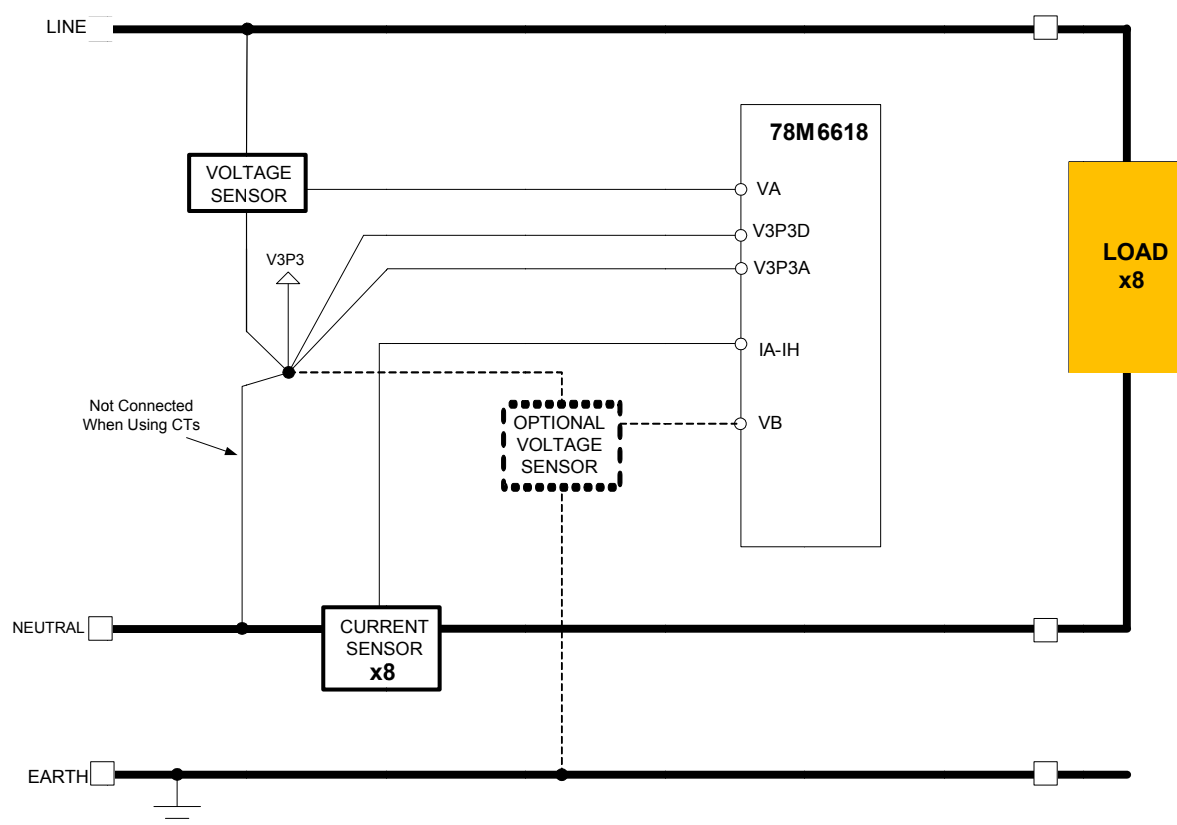
図 2:全般的なシステム接続図

78M6618のアナログ入力は次のように割り当てられています。

- VA入力は、ライン電圧の測定に使用されます。
- IA-IH入力は、負荷電流の測定に使用されます。未使用の電流入力は、V3P3Aに接続する必要があります。
- VB入力は、通常、アース/グランドを検出してライン/ニュートラルの極性反転にフラグを立てるための補助入力として用いられます。この機能が必要ない場合は、VB入力をV3P3Aに直接接続しても構いません。

センサーにガルバニック絶縁が施されていない場合は、78M6618のGND/電源をグランドに直接接続しないでください。

2.2 3.3 VDC (V3P3)のバイパス

3.3 VDCを効果的にバイパスするには、3つの異なるコンデンサ値を組み合わせます。1000 pFのコンデンサを0.1 μFのセラミックコンデンサと並列に78M6618のV3P3Aピンのできる限りすぐ近くに配置する必要があります。さらに22 μFのバルクコンデンサをV3P3SYSピンの近くに配置して、外部DIO回路のデカップリングを構成します。VBATピンをV3P3SYSピンに接続し、V3P3に直接接続します。この3つのコンデンサ値によって幅広い周波数スペクトルに渡るデカップリングが可能になります。V3P3DをV3P3に接続しないでください。V3P3Dに必要なのは、グランドへの0.1 μFコンデンサのみです。
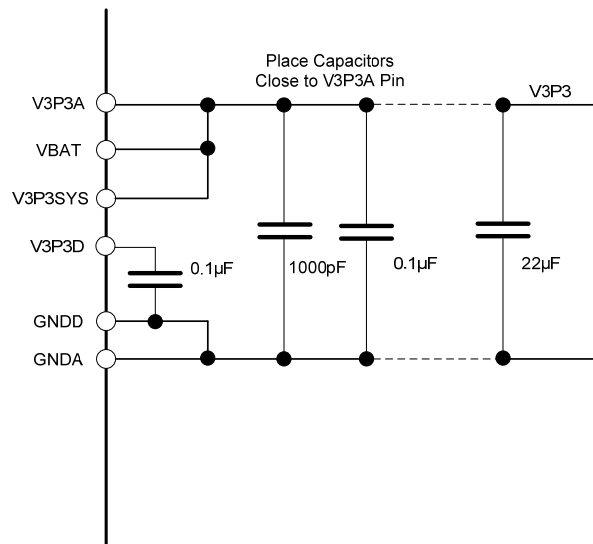
図 3:電源のデカップリング

2.3 センサーの選択

あらゆる測定ICは、ACライン電圧をそのICのADC入力範囲にスケールする必要があります。システム要件によっては、センサーがハイインピーダンス分圧器または変圧器のことがあります(ガルバニック絶縁が必要な場合)。

電流を測定する場合、78M6618 PDU1ソリューションでは2種類の電流センサーオプションをサポートしています。最も一般的に用いられるのは抵抗シャントです。ガルバニック絶縁が必要な場合は、電流トランス(CT)が使用されます。

2.3.1 抵抗分圧器の選択

入力ライン電圧は、78M6618のADC入力信号範囲の±250mVpp (176.78 mVrms) (V3P3A基準)に合わせてスケールする必要があります。図4の例では、ライン電圧は次のようにスケールしています。

$$VA = \frac{VLINE * 750}{1M + 1M + 750} = VLINE * 3.7486 * 10^{-4}$$

2 MΩ抵抗器1個ではなく、1 MΩ抵抗器2個を使用しているのは、抵抗器の定格最大電圧への適合と、適切なブレークダウンおよびアーク放電のクリアランスが目的です。通常、1206シリーズの表面実装抵抗器を使用することで、必要な定格電圧とクリアランスを得られます。抵抗器のデータシートで、最大定格電圧とクリアランス、動作電圧、および過電圧の定格の安全基準(UL、IEC、VDEなど)に適合していることを確認します。

電圧ラダーの抵抗器の精度は、FWの較正ルーチンによって補正されるため、問題になることはありません。ただし、抵抗器の負温度係数(一般にppm/℃で表される)が温度範囲の精度に悪影響を与えることがあります。
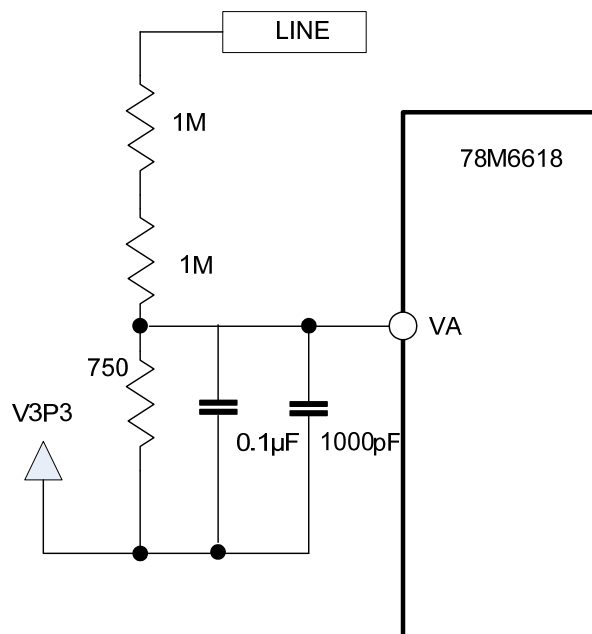
図 4:入力分圧器とフィルタリング

部品の初期許容誤差は、較正時に簡単に補正することができます。システム精度要件によっては、高精度抵抗器(例:0.1%か5%か)によるコストの増分が生産ラインの較正コストの削減(較正時間の短縮)につながることがあります。許容誤差0.1%の抵抗器を使用した場合、較正を実施するのは1台のシステムで十分になります。そこで得られた電圧較正係数をその他すべての装置に使用することができるため、生産ラインの作業時間を短縮することができます。分配器で0.1%の抵抗器を使用している場合、基板間の変動はシステム許容誤差の5%または1%以内になります。

さらに、高精度抵抗器は温度係数も小さくなります。ライン電圧が変化したときの自己発熱による抵抗の変化を原因とするエラーの発生源を取り除くことができます。TCRが50 ppm/℃以下(できれば25 ppm/℃)の抵抗器をお勧めします。

2.3.2 電圧トランス

2.3.1の項で説明した電圧測定回路は、電圧トランス(VT)で置き換えることができます。VTは、2つの2 MΩ抵抗分圧器を置き換え、VAの使用のみが必要になります。(電流検出用に) CTをVTと併用すると、設備の配線からの完全なガルバニック絶縁を施すことができます。高品質のVTは、100 VACから240 VACまで正確な線形測定を可能にします。

通常、VTは定格10 mA未満の電流に対して1:1のトランスです。1次側電流が設計ライン電圧でトランス定格を超えないように電流制限抵抗器を選択する必要があります。たとえば、VTの一次巻線の定格電流が2 mAで設計ライン電圧が240 VRMSの場合、一次巻線のRMS電流は、2 mA ≥ 240 V/2 x $R_{current\ limiting}$になります。

つまり、$R_{current\ limiting}$が60 kΩ以上である必要があります。$R_{current\ limiting}$を75 kΩ以上に設定すると、電流が1.6 mAに制限され、過電圧に対して25 %の余裕ができます。このVTの負担抵抗は、R_{BURDEN} x $I_{PEAK\ SECONDARY}$を250 mV以下になるように設定する必要があります。電圧波形が正弦波であると仮定すると、VTの電流波形も正弦波になり、2 mA RMSのピーク電流は2 x √2 mA (= 2.818 mA)になります。したがって、VT負担抵抗は、R_{BURDEN}が250 mV/2.818 mA以下、つまりR_{BURDEN}を88Ω以下にする必要があります。そこでR_{BURDEN} は、75Ω～86.6Ωの範囲で選択すると良い結果が得られます。

高品質のVTを使用すると、一次巻線と二次巻線の間の位相シフトが最小限に抑えられます。電圧サンプルと電流サンプルの間の位相遅延を補正するための位相補正パラメータが用意されています。

2.3.3 電流シャントの選択

78M6618のADC入力範囲は、±250 mVpp (176.78 mVrms)です(V3P3A基準)。使用するシャントの値は、通常、高い抵抗値(ADC入力範囲を有効利用)とシャントの電力損失とのトレードオフになります。さらに、電流の波高因子が1.414以上(正弦波)であることが予想される場合、シャント抵抗器の値を計算するときにピーク電流を考慮する必要があります。波高因子とはピークとRMS値の比率です。

$$C = \frac{|x|_{\mathrm{peak}}}{x_{\mathrm{rms}}}$$

また、この計算には最低動作LINE電圧(定格120 VACのシステムで90 VACなど)を使用します。最大入力電流は次のようになります。

$$IInmax(rms) = \frac{PInmax}{VACIn\ min}$$

例:最大入力電力が1.0 KWの場合、最大入力電流は11.12 A rmsになります。

その結果のピーク間の電流は次のように求められます。

$$IInmax(pk - pk) = 2 * \sqrt{2} * IInmax(rms)$$

上記の例では、ピーク間の電流は31.4 Aになります。

$$Rshunt = \frac{Vmax}{IInmax} = \frac{176.78\ mVrms}{11.12\ Arms} = 15\ m\Omega$$

15 mΩのシャント値では、ADC入力範囲が完全に利用されます。このシャント値の場合、最大負荷電流における損失電力は1.85 Wになります。過渡電流のためのADC信号マージンを確保し、シャント抵抗器における電力損失を低減するため、シャント値を8 mΩまで下げることをお勧めします。この場合、シャントの最大負荷電流における電力損失0.99 Wまで下がります。

シャント抵抗器の選択の次のステップは、電力損失、初期許容誤差、およびデバイスの温度係数の検討です。値を前述のように選択した場合、最大負荷電流におけるシャントの電力損失は、0.99 Wです。長期に渡る信頼性を確保するには、定格2 Wのデバイスパッケージをお勧めします。初期許容誤差は、較正時に補正することができます。ただし、温度係数は全体的な精度に影響を与えるため簡単に補正することができません。たとえば、温度係数が100 ppm/℃の場合、100℃の動作温度範囲で抵抗値が1%変動します。

適切な電力シャントを選定するには、仕様を考慮する必要があります。一般には許容誤差は実稼働時に較正されるため問題になることはありません。78M6618 PDU1ソリューションでは、自動較正ルーチンが用意されています。

シャントにおける最も一般的なエラー源は温度係数です(一般にppm/℃で表される温度に対する抵抗の変動)。温度の変化は、環境温度の変化またはシャント自体の発熱によって発生します。

2.3.4 電流トランス

必要な測定精度を得られる電流トランスを選定するための検討事項には、ライン周波数、測定電流範囲、CTの巻数比などが含まれます。また、電流トランスをメーカーの定格電流仕様を超える負荷電流に晒すとCTが飽和し、過熱によって巻線が故障する可能性があります。一方、対象負荷電流より定格が高過ぎる電流トランスは、目的に対してサイズも価格も過剰になります。
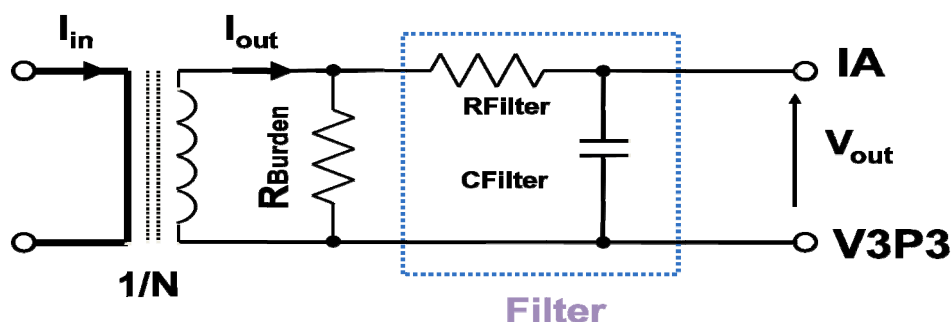
図 5:電流トランス(CT)の基本接続

通常、電流トランスの巻数比は、10:1～2500:1です。巻数比(=二次巻数/一次巻数)が大きいほど、電流測定の分解能も高くなります。巻数比が高過ぎると、分布容量と漏れインダクタンスが大きくなります。これらはCTの精度と高周波対応性を下げる特性です。ただし、巻数が低過ぎると、出力信号が歪むまたは「垂れる」(単極入力信号が正に傾斜している場合)ことがあります。このような歪みは不正確な測定の原因になります。マキシムでは、最低でも1000:1の巻数比をお勧めします。

電流トランス選択の次のステップは、負担抵抗器の値(RBurden)の計算です。78M6618の信号入力範囲は、176.78 mVrms (±250 mVpk)です。したがって、CTの二次出力電圧(Vout)はこの範囲で動作する必要があります。最大負荷電流を20 Arms (28.284A pk)とすると、巻数比が1000:1の電流トランスの二次側電流は20 mA rms (28.284 mA pk)になります。図5から負担抵抗の値は次の式で求められます。

$$RBurden = \frac{Vout}{Iout}$$

上記の例の値を使用すると、負担抵抗の値は次のようになります。

$$RBurden = \frac{0.250}{0.028284} = 8.85\ \Omega$$

標準値8.2 Ωの抵抗器をお勧めします。

2.4 アナログ入力のフィルタ処理

ローパスフィルタに使用される値は、750 Ωおよび0.1 μFです。この場合、フィルタのカットオフ周波数は約2.1 kHzになります。ADCコンバータのサンプルレートは、ファームウェアコンフィギュレーションによって変化するため、さまざまなフィルタ値が必要になります。フィルタを調整する場合、750 Ωの抵抗器は変えずに、コンデンサの値を修正することをお勧めします。

2.5 クロック回路

通常、78M6618では、低周波水晶(32768 Hz)をクロック源として使用します。水晶は時計で一般に使用されており、低コストです。外部オシレータを使用することもできます。

水晶出力(XOUT)ドライバの強度は、電力損失軽減のため内部的に制限されています。水晶発振器に共通の問題を回避し、信頼性を高めるには、部品の値やレイアウトに注意する必要があります。

2.5.1 水晶の接続と部品の選択

図7に水晶発振器の推奨接続を示します。
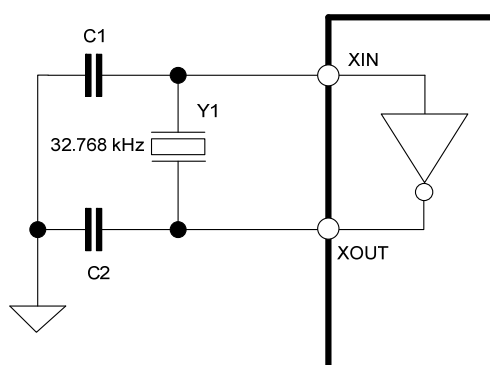
図 6:78M6618 の水晶発振器接続

水晶の負荷容量値が12.5 pFの場合、C1とC2の標準値はそれぞれ33 pFと9 pFです。

2.5.2 外部オシレータの使用

78M6618のオシレータは、外部32.768 kHzクロック源で駆動することができます。クロック源は、オシレータまたは分割したシステムクロックから派生させることかできます。抵抗分圧器を用いて入力信号を減衰します。図7の例は、3.3 Vクロックの減衰を示しています。
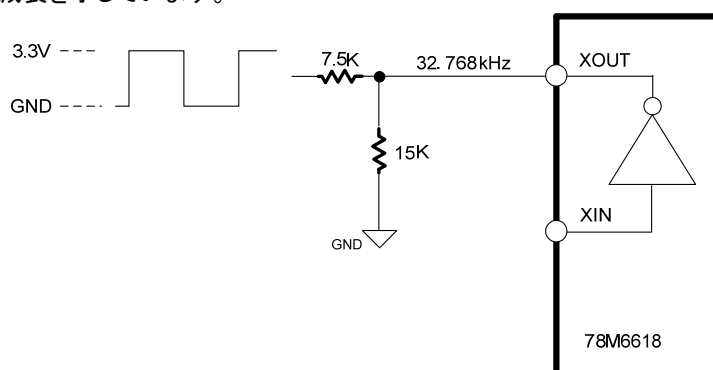
図 7:78M6618 の外部クロック源の接続

2.5.3 部品の配置とレイアウト

PCB上のスプリアスカップリングまたはアンテナ効果に対するノイズ感度を最小化するため、水晶からオシレータ入出力およびその他の部品への接続はできる限り短くする必要があります。水晶と整相コンデンサを78M6618にできる限り近く配置することをお勧めします。接続の長さを最小化することができます。

2つの負荷コンデンサ(C1とC2)を流れる電流の向きは逆です。グランド基準に接続する前に、2つのコンデンサを接続しておくことをお勧めします。その時点でグランドに逆流する電流が大幅に軽減されます。接続はできる限り短く、かつ長さを同じにする必要があります。コンデンサからの接続が長くなり、PCB上で大きなループを作らないようにしてください。アンテナのように機能し、周囲に放射される高周波を拾うことがあります。

オシレータのグランド基準にできる限りノイズが発生しないよう注意します。高周波ノイズがオシレータ入出力に直接伝送され、オシレータの性能が劣化します。

高速信号と高調波成分のクロスカップリングを防ぐため、信号トレースが水晶エリアを通らないようにしてください。オシレータピンの接続はどちらも極めて重要です。

水晶発振器部品の近くに電源の磁気部品を配置しないでください。PCB上で水晶部品が電源の磁気部品およびその結果の磁場の裏側になるようなPCBレイアウトトポロジを選択します。

オシレータ回路のビアは、グランドプレーンへの接続にのみ使用してください。グランド接続を共有しないでください。接地が必要な各部品は別々にグランドに接続してください。可能であれば、グランドプレーンへの各接続に対して複数のビアを並列に配置します。

同様にオシレータ回路に高品質の部品を使用することも、正確で信頼性の高い動作を実現するために重要です。コンデンサには、高周波アプリケーション用に設計された、高品質で非常にESRの低いものを使用する必要があります(NP0やCOGなど)。

図8は水晶発振器のレイアウト例を示しています。
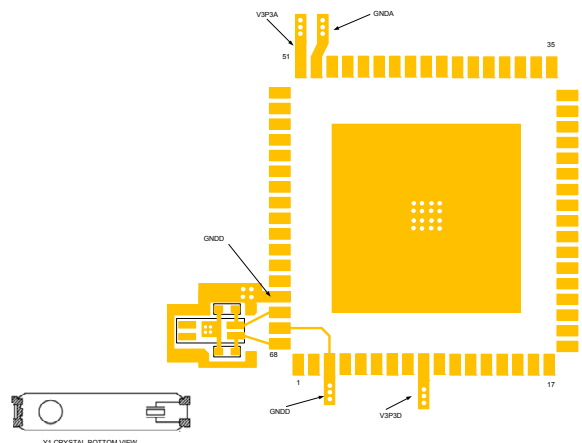
図 8:水晶 Y1 とコンデンサ C7/C9

この例の水晶発振器部品の配置とレイアウトは、PCBの集積回路と同じ側です。水晶発振器の周囲にはグランドガードリングがあります。これは回路を幅広のグランドトレースで囲むことで実現することができます。これが機能するには、グランドトレースを流れる電流がゼロである必要があります。この例では、オシレータのGND以外に接続を持たない「フローティンググランド」が使われています。

2.5.4 オシレータ回路のトラブルシューティング

水晶発振器の誤作動のよくある原因の1つがPCB上の汚れの蓄積です。フラックス、湿気、指紋などのPCBの汚れによって、オシレータピンの1つからGNDまたはV3P3電源へのハイインピーダンスの経路が発生し、オシレータの起動が妨げられることがあります。この問題を回避するため、水晶のリードと78M6618パッケージの下の間に汚れの蓄積がないかチェックします。水溶性はんだペーストを使用する場合、基板の洗浄度が最も重要になります。

2.5.5 はんだプロセス

はんだプロファイルが不適切だと部品に過剰なストレスを与えることになります。水晶の不適切な取扱いによって、気密封止が破損することもあります。これにより湿気その他の汚れがケースに侵入し、断続的な動作や完全な故障の原因になります。不適切なはんだプロファイルが原因で、温度が高過ぎる場合や高温に晒す時間が長過ぎる場合も、水晶が破損することがあります。

2.5.6 オシレータの起動時間

一般に、低周波の水晶発振器は高周波のものより起動時間が長くなります。32.768 kHzの水晶の場合、起動時間は200 ms～400 msになります。起動時間が700ミリ秒を超える場合、水晶の起動に何らかの問題があること、コンデンサC1とC2に選択した値が水晶メーカーの要件に適合していないか、汚れ(フラックスなど)のような他の原因があることを示しています。

水晶が安定した振動パターンを開始するには一定の電力が必要です。水晶に供給される電力は電源の機能であるため、オシレータの起動時間は電源の立上り時間に大きく影響を受けます。その他の要因として、電源の立上りが非常に急激な場合、水晶に対する衝撃のように働き、立上りが非常に遅い電源を使用する場合に比べて水晶の起動時間が速くなります。起動時間に影響する水晶特性には次のようなものがあります。

- Q値の高い水晶発振器は、周波数の許容誤差の大きな水晶発振器より起動が遅くなります。
- 通常、負荷容量の小さい水晶は、負荷容量の大きな水晶より起動が速くなります。
- ESRの低い水晶はESRの高い水晶より起動が速くなります。
- OA (発振余裕度)の高いオシレータは、OAの低いオン・チップより起動が速くなります。

2.5.7 電圧と温度の影響の最小化

水晶発振器は、動作温度範囲および動作電圧範囲全体に渡ってテストする必要があります。これらの範囲で最も重要なのは、温度が最も高く供給電圧が最も低いときです。この条件でループゲインが最小になり、起動が遅くなるか、まったく起動しない可能性があります。

温度の影響を最小化するには、NP0やCOGなどの温度係数の低いタイプのコンデンサを使用します。すべての部品、特に水晶部品が温度および電圧範囲全体で動作する仕様であることを確認します。

2.6 QFN 基板パッド

78M6618デバイスは、QFN-68パッケージで提供されます。このパッケージの下側には大きなPCBパッドがあります。デバイスの電力損失が最小限に抑えられているため、放熱にPCBパッドは必要ありません。PCBパッドは、未接続のままでもGNDに接続しても構いません。デバイス下のフラックスの残留物を最小限に抑え、パッド面積の大きさに起因する過剰なはんだペーストによるはんだ短絡の発生を少なくするため、PCBパッドの寸法を小さく(パッケージパッド寸法の50%まで)することもできます。

2.7 電源トポロジ

V3P3の専用電源を非絶縁で構成する場合の参考になる電源トポロジをいくつか示します。

容量型
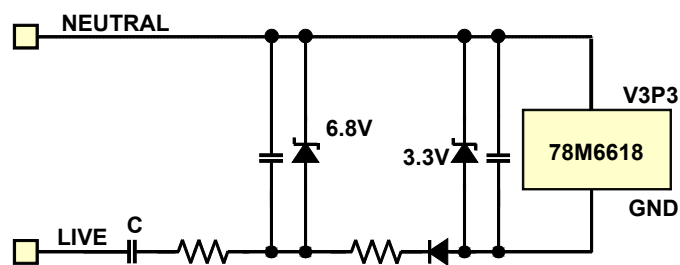
図 9:RX ピンの接続

降圧型
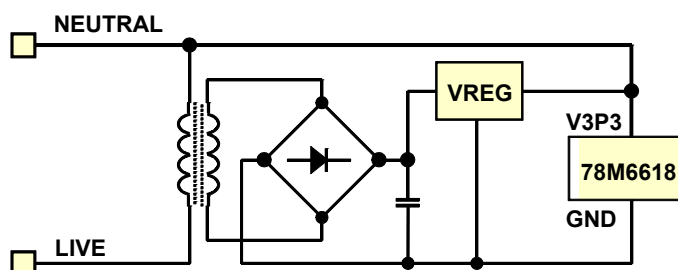
図 10:高電力アプリケーション用の非高電圧部品

スイッチモード電源またはレギュレータ使用の半波整流型
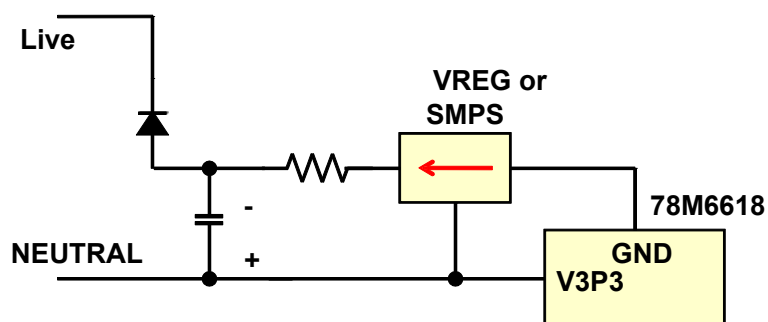
図 11:高電力アプリケーション用の高効率型

3 基本構成

この項では、78M6618の残りのハードウェアインタフェースについて説明します。

3.1 リセット回路

78M6618ではアクティブハイリセット入力ピンが用いられています。図12は、リセット信号の生成にプッシュボタンスイッチを使用する外部回路構成を示しています。外部リセットが不要な場合は、リセットピンをGND (GNDD)に接続します。外部リセットが推奨されるのは、プロジェクトの開発段階のみです。製造バージョンのPCBではRESETピンをグランドに接続してください。
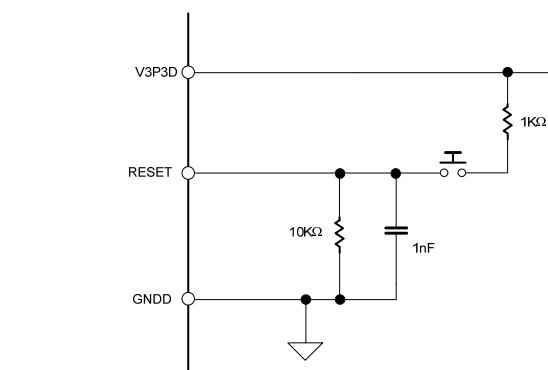
図 12:リセット回路
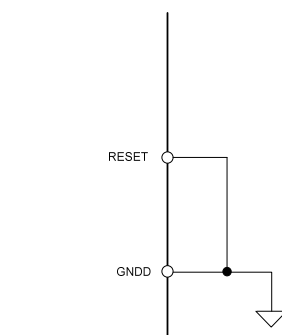
図 13:不使用リセットピンの接続

3.2 V2P5 電圧リファレンスピン

V2P5ピンは、内蔵2.5 VDCリファレンス電圧に接続します。外部回路をこのピンに接続しないでください。このピンは未接続のまま残しておく必要があります。

3.3 V1 ピン

V1ピンは、内蔵パワーフェイルコンパレータに接続します。V1入力電圧は、1.6 Vの内蔵リファレンス電圧(VBIAS)と比較されます。V1電圧がVBIASより高い場合、コンパレータ出力はハイ(1)になります。これは通常動作を表します。V1電圧がVBIASより低い場合、コンパレータ出力はロー(0)になります。これはバッテリモード動作を表します(VBATピンに接続されている外部バッテリ)。標準の(WDT有効の) 78M6618動作を有効にするには、図15に示されている分圧器をV1ピンに接続します。デバッグ用にウォッチドッグを無効にするには、 V1ピンを2.9 Vより高くします。
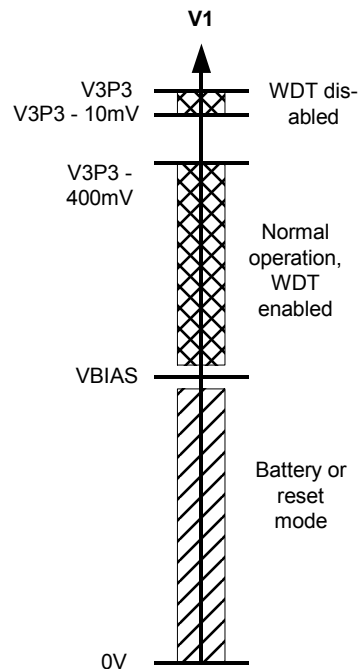
図 14:V1 検出器電圧しきい値

R3は、コンパレータにヒステリシスを持たせるために使用します。
入力ピンV1は、V1< VBIASのとき1 μA、V1 ≥ VBIASのとき0 μAをシンクします。
したがってしきい値は次のようになります。

$$V3P3 \le \frac{R1+R2}{R2} VBIAS$$ (ハイからローへの遷移、VBIAS = 1.6 VDC)

$$V3P3 > \frac{R1+R2}{R2}(VBIAS + R3 * 1E-6A)$$ (ローからハイへの遷移、VBIAS = 1.6 VDC)

C1は、V1入力のフィルタとして機能し、V1コンパレータのスプリアス通信を防ぎます。
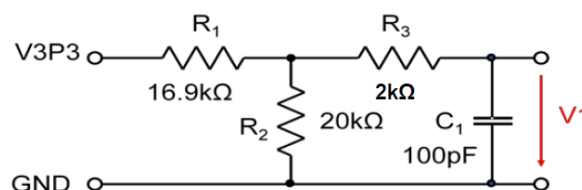
図 15:V1 の分圧器

3.4 VBAT ピンの接続

VBATピンは、外部バッテリまたはその他のバックアップ電源(電気二重層コンデンサ(EDLC)など)の接続を可能にします。

バックアップ電源の接続に使用しない場合、このピンはGNDDまたはV3P3Dに接続することができます。V3P3電圧がローの条件(V1ピンはV3P3基準)でのデバイスの動作を図16に示します。低電圧の場合(V1 < VBIAS)、デバイスはブラウンアウトモードに入り、VBATピンから給電されます。電力が回復すると(V1 > VBIAS)、ブラウンアウトモードから出て標準動作に戻ることができます。VBAT電圧が足りずブラウンアウトモードで正常に動作できない場合、デバイスはスリープモードに入ります。ブラウンアウトモードが終了すると、デバイスプログラムカウンタが0x0000 (リセット状態)に設定されます。VBATをGNDDに接続することで、低電圧が検出されたときにスリープモードに入るようになります。

バッテリとブラウンアウトモードの取扱いには、FW操作が必要になるため、使用中のFWリビジョンに対応するファームウェアの取扱説明書を確認してください。
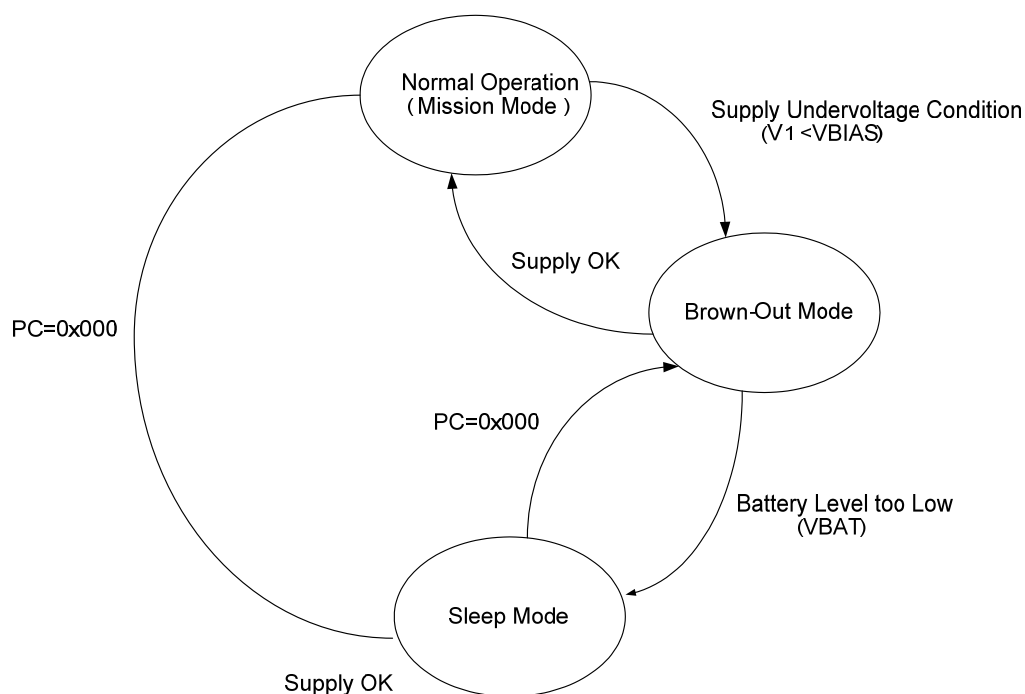
図 16:デバイスの動作

3.5 インサーキットエミュレータ(ICE)ピン

78M6618 PDU1評価ボードでは、基板面積とコネクタコストを節約するため、部品数を削減したICEインタフェースが用いられています。使用ICEケーブルが短い場合や(30 cm以内)、大きなRFフィールドが存在しない場合は、この回路設計で十分です。どちらの条件も満たさない場合は、以下の推奨事項を参考にしてください。

LCDセグメントの駆動にICEが用いられている場合、EMI保護のため、GNDへのICE信号に22 pFのコンデンサを取り付けます。ICE信号のトレース長が5 cmを超える場合、EMI保護のため、GNDへのICE信号に22 pFのコンデンサを追加します。外部ICEケーブルが30 cmを超える場合、一連の抵抗器を挿入して信号反射を制御します。

プログラム済みの78M6618デバイスを使用する場合、製造基板ではICE_ENピンをGNDに接続します。それ以外の場合は、ICE_ENの1000 pFのフィルタコンデンサと共に強力なプルダウン抵抗器(330 Ω推奨)を追加して、インサーキットプログラミングができるようにします。
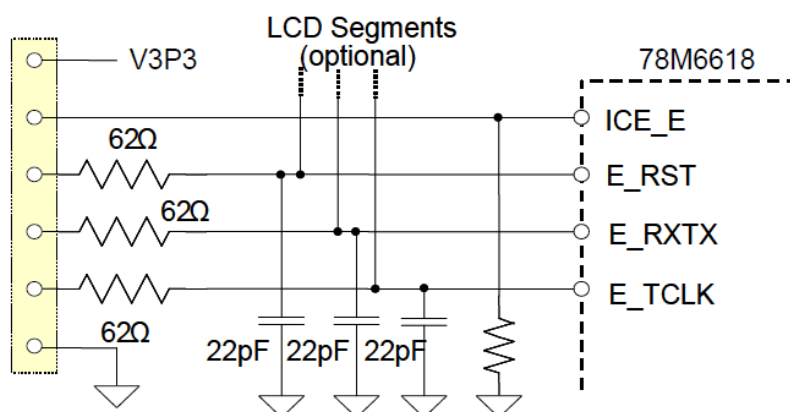
図 17:LCD セグメントの駆動に使用する ICE ピン

Signum ADM51 ICEおよびTFP2プログラマでは、ファインピッチリボンケーブルと20ピンコネクタを使用します。基板のBOMコストを最小化するため、78M6618評価ボードでは図18に示す6ピンICEアダプタボードを使用します。78M6618評価キットには、ADM51およびTFP2で使用するためのこの ICEアダプタボードが含まれています。
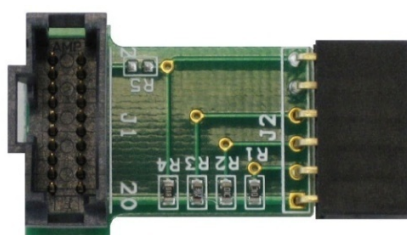
図 18:ADM51 および TFP2 用 ICE アダプタボード

3.6 5 V デバイスの接続

78M6618のすべてのデジタル入力ピン(DIOピン)は、外部5 Vデバイスに接続可能な5 V互換です。入力として構成されたI/O端子を外部5 Vデバイスに接続する場合、電流制御抵抗器は必要ありません。

3.7 外部負荷の駆動

外部負荷は、図19に示すようにデジタル出力(DIOピン)に接続します。
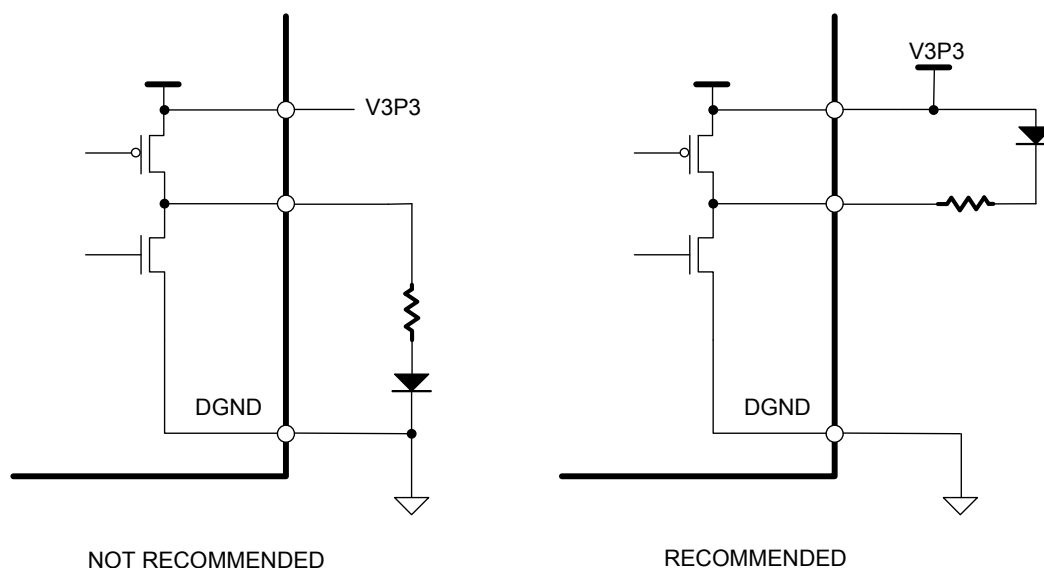
図 19:**外部負荷のデジタル出力への接続**

3.8 I²C EEPROM の接続

I²C EEPROMその他のI²C互換デバイスは、図20に示すように、DIOピンのDIO4とDIO5に接続します。SCL信号とSDA信号の両方でV3P3に約10 kΩのプルアップ抵抗器を追加します。I/O RAM抵抗器*DIO_EEX*を01に設定して、DIOピンのDIO4と DIO5をSCLおよびSDA I²C動作モードに切り替える必要があります。
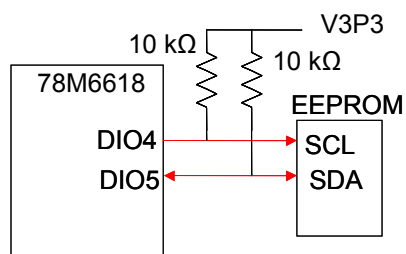
図 20:**I²C EEPROM の接続**

3.9 3 線式 EEPROM の接続

μWire EEPROMその他の互換デバイスは、図21に示すように、DIO4とDIO5に接続します。DIO5を3線式デバイスのDIピンとDOピンの両方に接続します。78M6618の空いているDIOピンにCSピンを接続します。DI/DO信号へのV3P3に約10 kΩのプルアップ抵抗器を追加します。電源投入時に78M6618がCSの信号を安定化させる前に3線式デバイスが有効にならないように、10 kΩのプルダウン抵抗器をCSピンに追加します。I/O RAM抵抗器*DIO_EEX*を10に設定して、DIO4ピンとDIO5ピンをμWire動作モードのピンに切り替える必要があります。
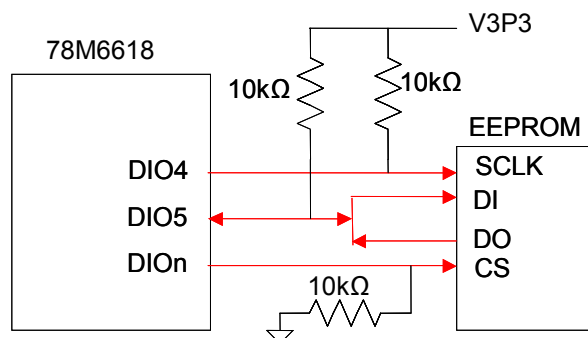
図 21：3 線式 EEPROM の接続

3.10 UART の接続

UART0 (TX/RX)

10 kΩのプルダウン抵抗器をRX入力ピンに接続します。また、EMI保護のため、図22に示すように、100 pFのセラミックコンデンサを追加します。
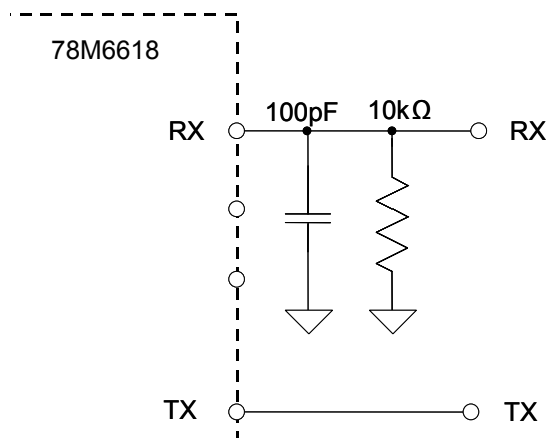
図 22：RX ピンの接続

UART1インタフェース

TX1およびRX1 (UART1)ピンは、たとえば、RS-232トランシーバを接続することで、通常のシリアルUARTインタフェースとして使用できます。

または、FLAGインタフェースを実装する赤外線ダイオードやフォトトランジスタなどの光学部品に直接接続することもできます。詳細については、Teridian™アプリケーションサポートまでお問い合わせください。

4 設計例

4.1 シングルエンドのシャント接続を備えた非絶縁型 PDU

この項では、8個の単相コンセントに高精度低クロストークの測定機能を実装した、78M6618 PDU1評価ボードを参照します。

シングルエンド測定の課題は、チャネル間クロストークの最小化です。

78M6618 PDU1評価ボードは2層のプリント基板を実装しています。上層には、V3P3プレーン構造が含まれています。下層には、V3P3プレーン構造とGNDプレーン構造の両方が含まれています。

上層のV3P3プレーンでは、カットアウトを利用して、アナログ測定回路に入るデジタルノイズを最小化しています。また、V3P3プレーンは、アナログ測定回路の下にあり、外部ノイズフィールドから回路がシールドされています。複数のビアにより、2つのV3P3プレーン間のローインピーダンス接続が可能です。アナログ入力トレース間には、追加のビアが配置され、チャネルクロストークを最小化します。
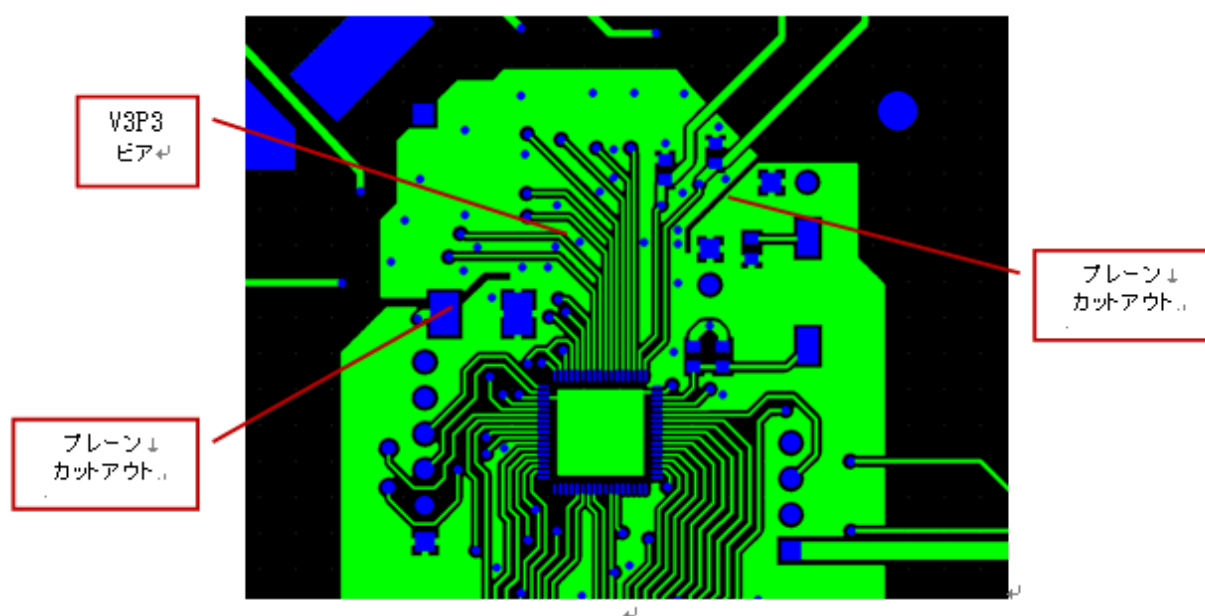
図 23:上層 V3P3 プレーン構造とビア
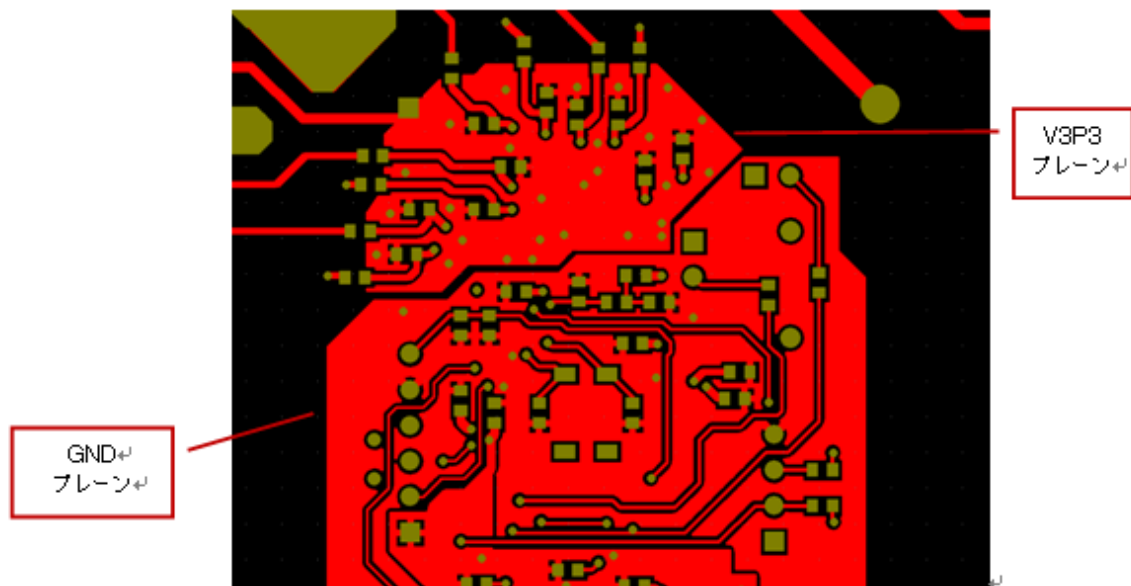
図 24：下層 V3P3 およびグランドプレーン構造とビア

2層式プリント基板の課題は、高品質のプレーン構造の維持です。低レベルアナログ測定の場合、プレーン構造は、カットアウト絶縁と共に複数のローインピーダンス経路を用意して、ノイズの多い電流を高感度回路から離して流す必要があります。すべてのトレースの配線が完了したら、銅プレーンの完全性の観点からレイアウトを見直してください。トレースの配線を最適化し、ローインピーダンス経路をプリント基板全体に最大化します。

シングルエンド測定の鍵となるのは、ノイズのないリファレンス点です。複数のシャントを共通のリファレンス点に接続する際に問題となるとは、物理サイズと配置による機械的な課題です。複数のシャントに必要な線状の間隔(並行に伸びる配置)によって、「ノイズのない」リファレンス点が犠牲になります。シャントとシャントの間の線状の表面に沿って発生する抵抗は、電流検出シャントの低Ω値を基準にすると無視できない大きさになります。

集合的な電流が相互に接続された「リファレンス点」構造に電圧を発生させると隣接するシャントに測定誤差が発生します。高負荷電流が存在するときに、隣接シャント間の相互接続構造に存在するわずかな抵抗によって、この電圧オフセットが発生します。この電圧オフセットは、各シャントの測定誤差の原因になります。相互接続構造の抵抗を下げるとことは、高精度のシングルエンドマルチシャント測定システムを実現する上で極めて重要です。

ここで提示している回路では、放射状のディスクトポロジを利用することで、相互接続構造の抵抗を最小化し、隣接シャントの影響（負荷電流により発生する誤差電圧）を最小化しています。テストした78M6618ボードのリファレンス点では、銅ディスクを利用しています。銅ディスクは、1オンス銅メッキに比べて抵抗構造が大幅に低くなります。製造が簡単になるように、銅ディスクの厚さは、プリント基板の厚さと同じになっています。銅ディスクの周囲にシャントを放射状に配置することで、リファレンス「中心点」からの距離を揃えることができます。ボードの両面にシャントを配置することで、銅ディスクの直径を最小化し、リファレンス点全体の抵抗を小さくすることができます。
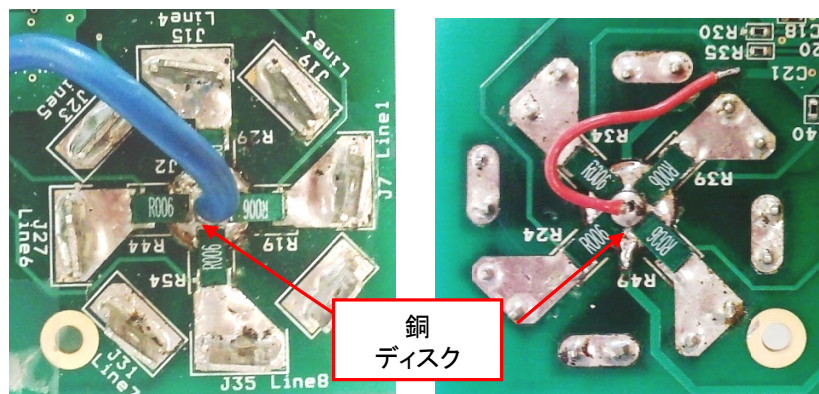
図 25:78M6618 評価ボードの銅ディスクと放射状のシャント配置

ここで提示している設計は、標準的な15 Aの家庭用サービスに適しています。理想的には、1つのコンセントに大電流の負荷がかかっても残りのコンセントには影響すべきではありません。銅ディスクの抵抗は有限なので、測定誤差は避けられません。銅ディスクの抵抗は次の式で求められます。

25℃における銅の抵抗率 = 1.7 x 10^{-6} Ω・cm
抵抗 = 抵抗率 x 長さ/面差 x (1 + (銅温度 x (温度 - 25))

シャントから銅ディスクの中心点までの伝導経路が直線であると仮定すると:
厚さ = 62 ミル、プリント基板の厚さと同じ
幅 = 200 ミル、シャントパッドの幅
長さ = 100 ミル、シャントから中心点までの距離

シャントから銅ディスク中心点までの直線抵抗 = 5 μΩ

これは6 mΩのシャントを使用した場合に誤差が0.1%になることを示しています。

1つの導体の2点の間を電流が1本の直線として流れることはありません。導体の内部抵抗により、電流は媒質に広かります。図26は、1つのコンセントの電流によって、銅ディスクにどのような拡散電圧が発生するかを示しています。
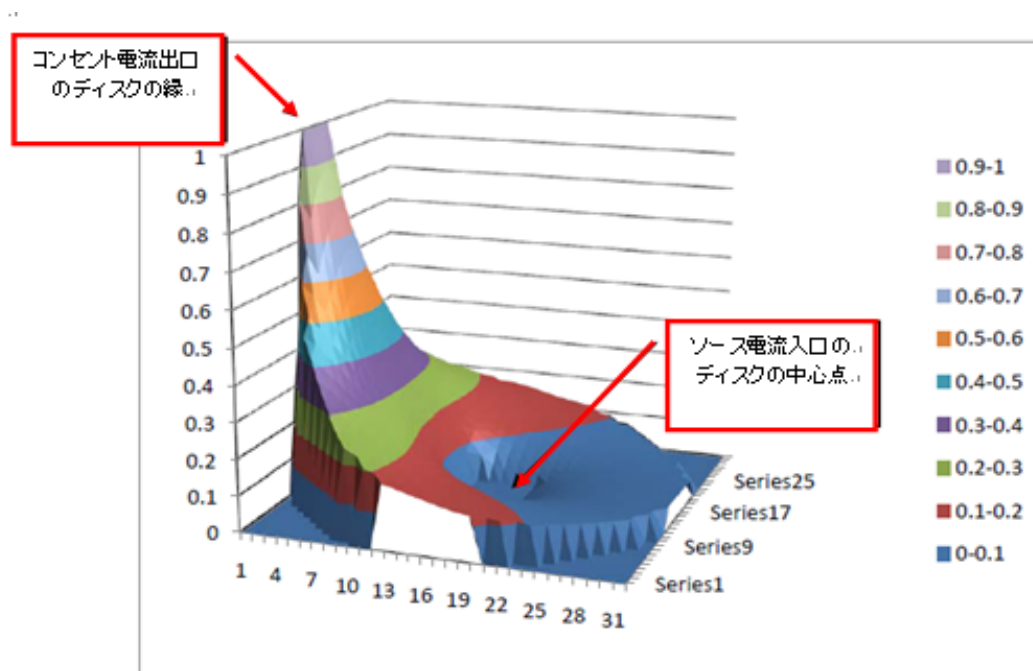
図 26:ディスクにおける単一負荷の電圧拡散

1か所(位置0度)における電流の存在によって、位置45、90、135、180、225、270、315度(他のシャントの位置)に小さな電圧が発生している点に注意してください。単一の大負荷(位置0度)の影響が最も大きいのは、ボードの反対側にある2つの隣接シャントです(位置45度と315度)。上図の電圧拡散では、他の7個のコンセントには電流が流れていないことを前提にしています。

電流が複数のコンセントに流れている場合、銅ディスクを通じて電流が拡散するかどうかは、隣接電流の差に依存します。大電流が流れるコンセントの隣に小電流が流れるコンセントがある場合、電流が大きい方で図26に示されている電流の拡散が発生し、非線形測定誤差を避けられなくなります。電流が小さい方の中心点への経路は、直線でなく、より長い曲線経路を描くようになります。曲線状に経路が長くなった分は、シャントから中心点への経路の余分な抵抗として反映されます。

この状態は、電流比が100:1に近づくと発生するようになります。たとえば、あるコンセントの10 Aの負荷は、隣接コンセントの100 mAの負荷の精度に影響します。この100 mAの負荷は105 mAとして測定されることになります。同様には、1 Aの小さな負荷の隣に10 Aの大きな負荷があると、それは1.002 mAとして測定されます。

4.2 差動シャント接続を備えた非絶縁型 PDU

いくつかのアプリケーションでは、PDUフォームファクタにより、3.1の項の実装が困難です。図27は標準的なPDUシステムフォームファクタを示しています。
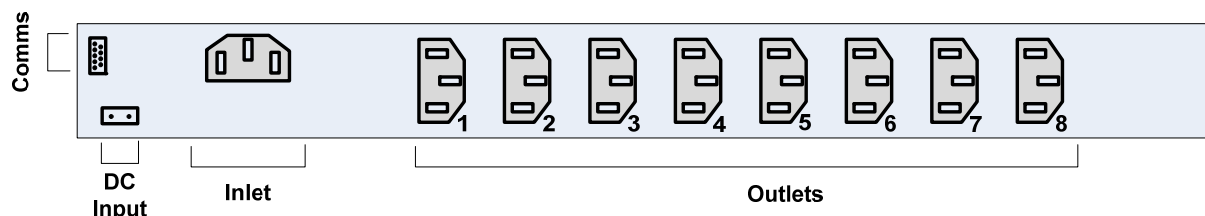
図 27：**ラック用電源タップ**

コンセント、インレット、DC入力電源、および通信コネクタを簡単に接続できるように、しばしば図28に示す部品配置が用いられます。
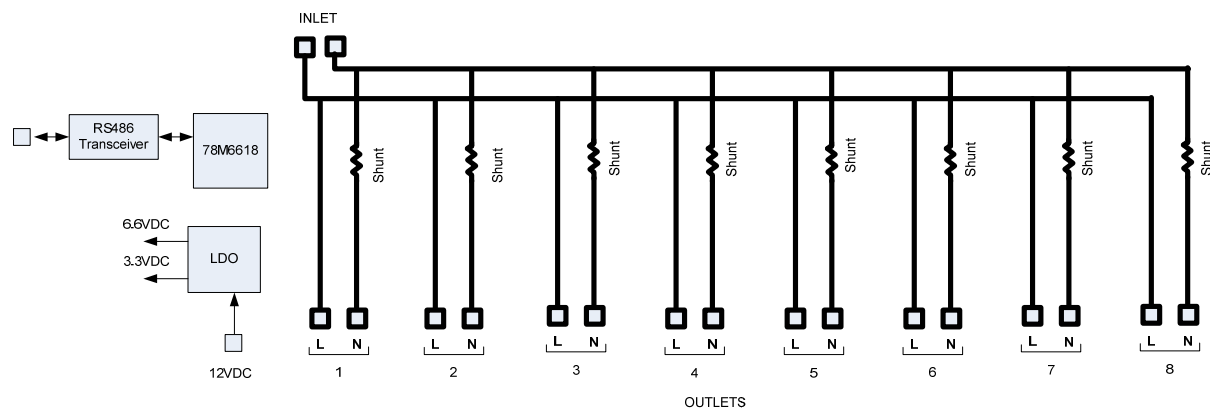
図 28：**メインブロックと部品配置**

差動アンプの使用

図29に示す構成で単純かつ低コストの差動アンプを実装することができます。

R1 = R3、R2 = R4を使用した場合の利得は次のようになります。

$$Vout = (VSHUNT_P - VSHUNT_N) * \frac{R2}{R1}$$
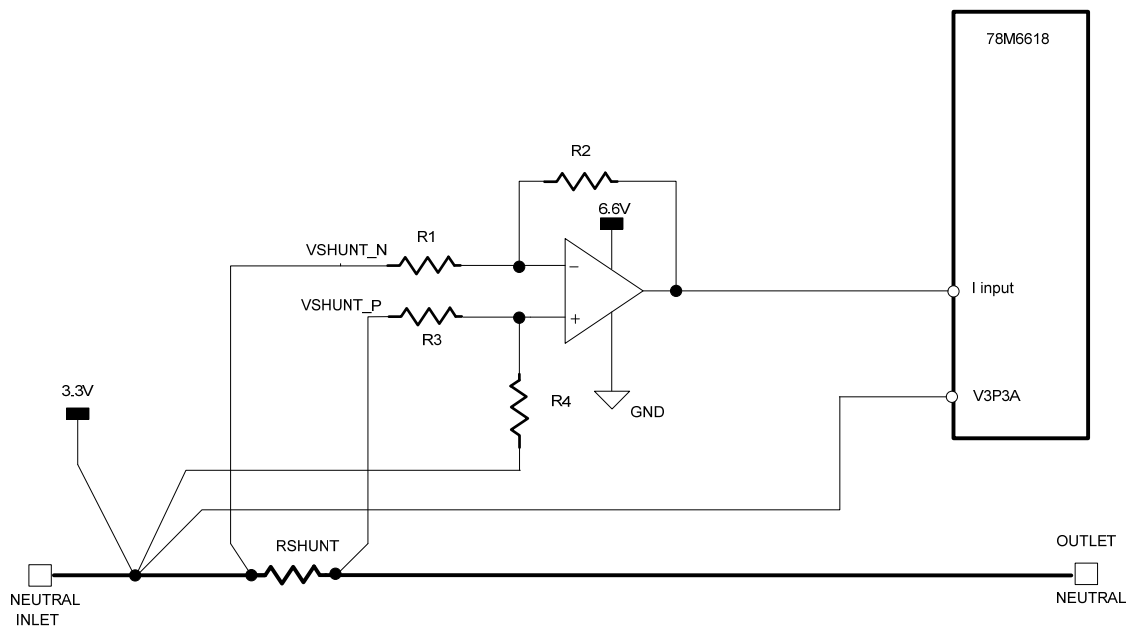
図 29:差動アンプを用いた単一電源チャネル

高CMRR (同相信号除去比)を実現するには、オペアンプと抵抗器の選択のどちらも重要です。抵抗器の許容誤差は、次の式で示すように、CMRRおよび利得において重大な役割を果たします。

$$CMRR = \frac{1 + Gain}{4 * \Delta R/R}$$

たとえば、ゲインセットが10で許容誤差が1%とすると、結果のCMRRは49 dBになります。
この設計では、次の抵抗器が選択されています。

R1 = R3 = 7.5 KΩ、R2 = R4 = 75 KΩ、許容誤差はすべて0.1%

R1 = R3、R2 = R4を選択した場合、結果の利得は次のようになります。

$$Gain = \frac{R2}{R1}$$

この利得と抵抗器の許容誤差の結果のCMRRは69 dBになります。

設計メモ:R4とV3P3A (ADCリファレンス電位)および3.3VのKelvin接続を使用します。

シャントの接続

クロストークを最小化する残は、いくつかのレイアウト技術を検討する必要があります。たとえば、シャント抵抗器の接続がクロストークの発生源になることがあります。図30に標準的なシャント接続を示します。
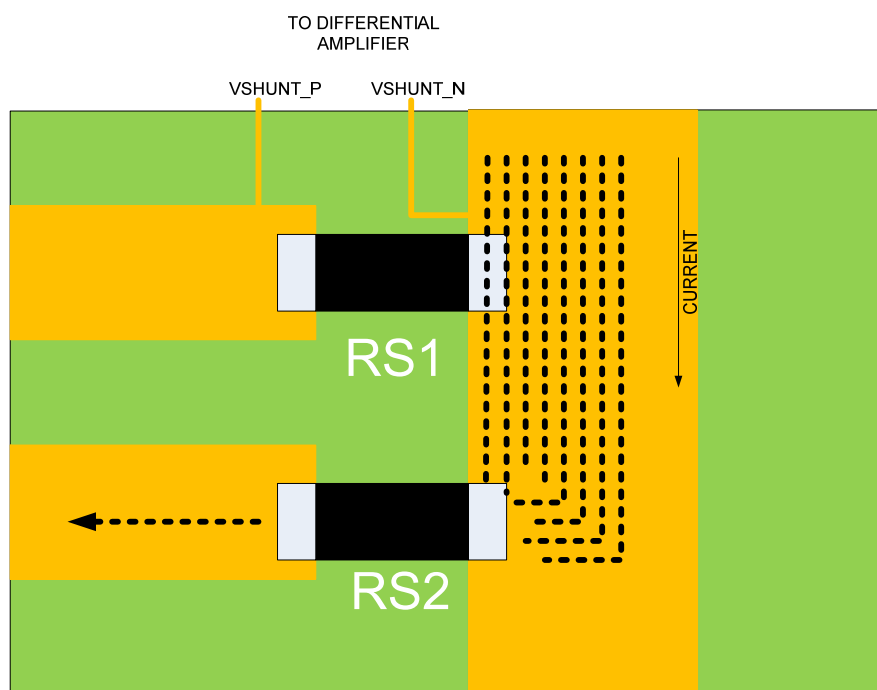
図 30：差動アンプを用いた単一電源チャネル

この例では、電流は電流シャントRS2のみを流れます。理論的には、RS1からの電流測定はほとんどゼロになります。実際には、RS2を流れる電流によって、図31に示すように、RS1にピックアップクロストークが発生します。
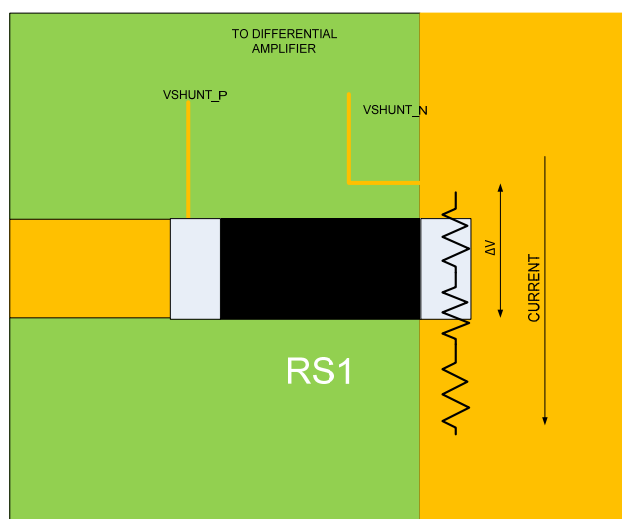
図 31：RS1 のピックアップクロストーク

シャント抵抗器のトレース抵抗とリード抵抗によって、クロストークとして示されているΔVの電圧降下が発生します。

この効果を最小化するため、次のレイアウトをお勧めします。
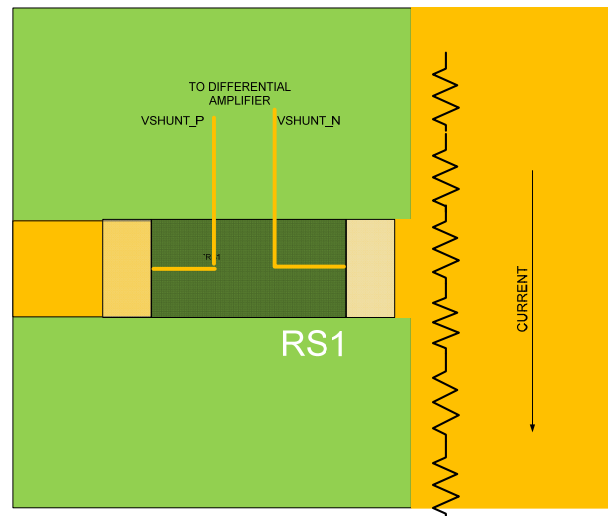
図 32:推奨レイアウト

4.2.1 大電流トレース(ニュートラルおよびライン)

場の相殺:導体を流れる電流によって電磁場が発生します。この例では、大電流トレース(ラインとニュートラル)を差動アンプ回路のそばに配置する必要があるため、差動アンプ回路に不要なノイズとクロストークが発生することがあります。この効果を最小化するため、大電流トレース(ニュートラルとライン)をPCBの反対側で(同じ経路に)重ねて配線します。これらのトレースの電流の向きは反対になるため、結果の電磁場が互いに打ち消し合うことになります。物理的な分離には制限があるため、場の相殺は完全ではありませんが、電磁場は十分に低下します。

トレース抵抗の最小化:ラインおよびニュートラルトレースは、20 Arms程度の大電流を伝送します。図33に示すように、大電流によって銅トレースの自己発熱と高顧問モード(VCM)が発生することがあります。

トレース抵抗を最小化することで、これらの効果を最小化できます。銅メッキ厚を2オンスにします。また、これらの大電流トレースのはんだレジスト層を除去することで、はんだメッキの有効厚を増やすことができます。
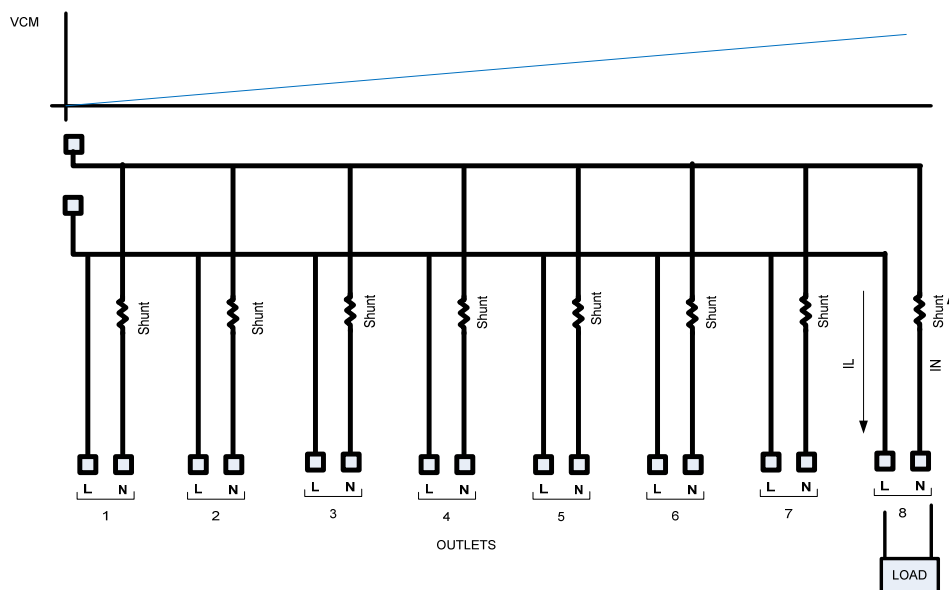
図 33:差動アンプを用いた単一電源チャネル

4.2.2 基板の積層と層の割り当て

電圧のカップリングと電流依存のノイズのADC信号への混入を最小化するため、次のルールに注意してください。

1. 78M6618へのV3P3リファレンス接続用に、独立した「クリーン」なV3P3プレーンを維持します。このクリーンなプレーンは、大電流または高電圧を伝送するトレースからXおよびY方向に隔離する必要があります。クリーンV3P3プレーンは、78M6618のV3PAリファレンスピンへの接続1つだけを持ちます。V3P3/ニュートラルプレーンも同様です。このプレーン内での電流の流れが最小限に抑えるよう注意します。
2. オペアンプやその抵抗回路網などの電流検出信号処理部品、および低レベル信号トレースをクリーンV3P3プレーン上に配置します。
3. 低レベル信号トレースを高電圧および大電流トレースからXおよびY方向に隔離します。
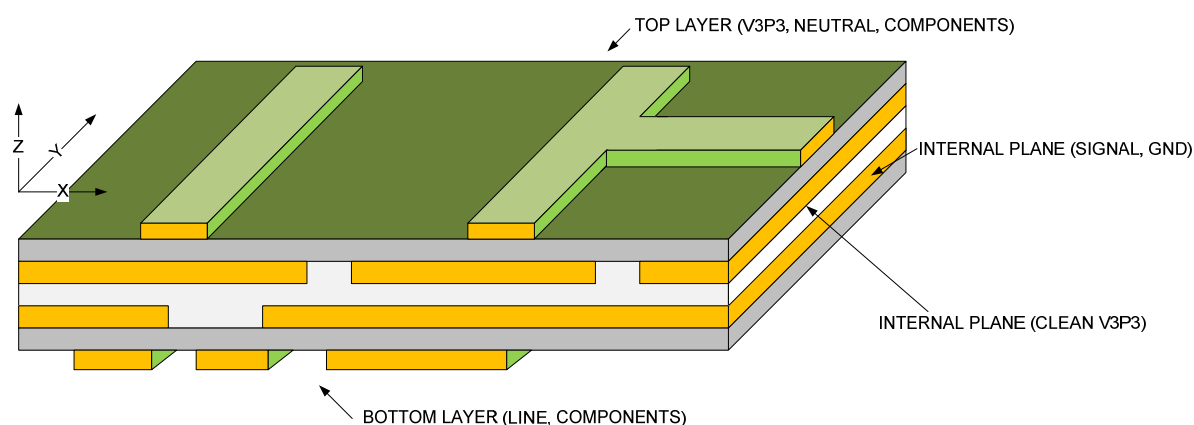
図 34:積層基板

4.3 絶縁型構成

ガルバニック絶縁が必要な場合、電圧と電流の両方に絶縁センサーを使用する方法があります。78M6618は、電圧トランスと電流トランスの両方に対応しています。図35は、絶縁センサーの基本的な接続を示しています。

この構成では、78M6618の3.3 VDC電源レール(V3P3)がACニュートラルに直接接続されていません。
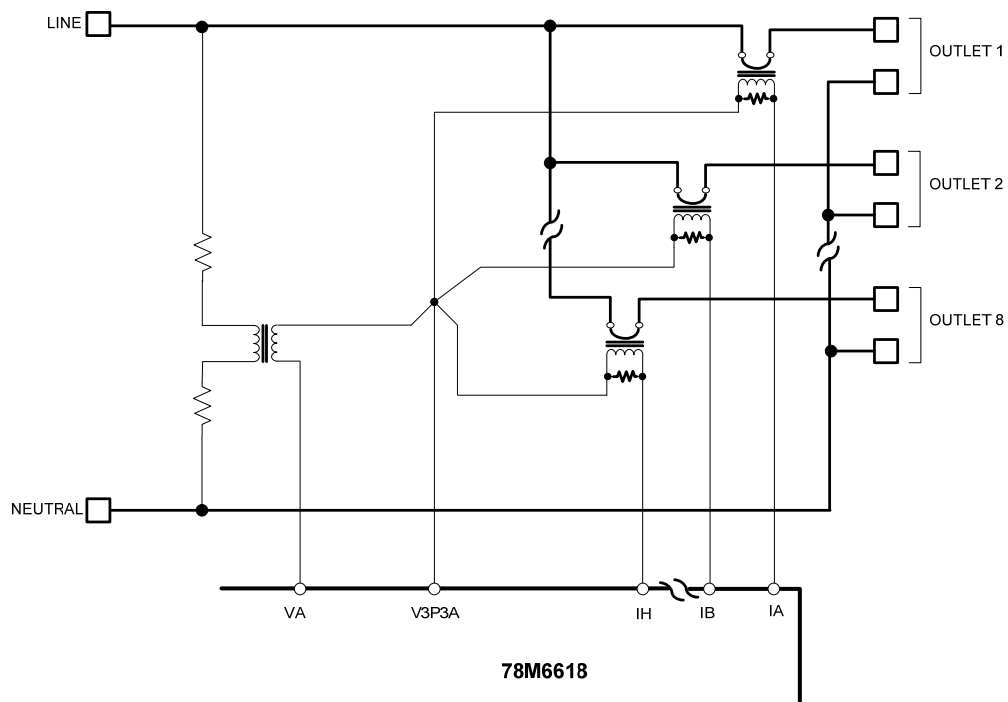
図 35：CT ベースシステムの基本接続図

CTを使用する場合は、78M6618のV3P3をニュートラルに直接接続しないようにします。または、電圧トランスを抵抗分圧器で置き換えることができます。図36は、CTと分圧器を組み合わせて使用する場合の接続図です。

この場合、デバイスは分圧器に用意された2 MΩの抵抗でラインから隔離されます。
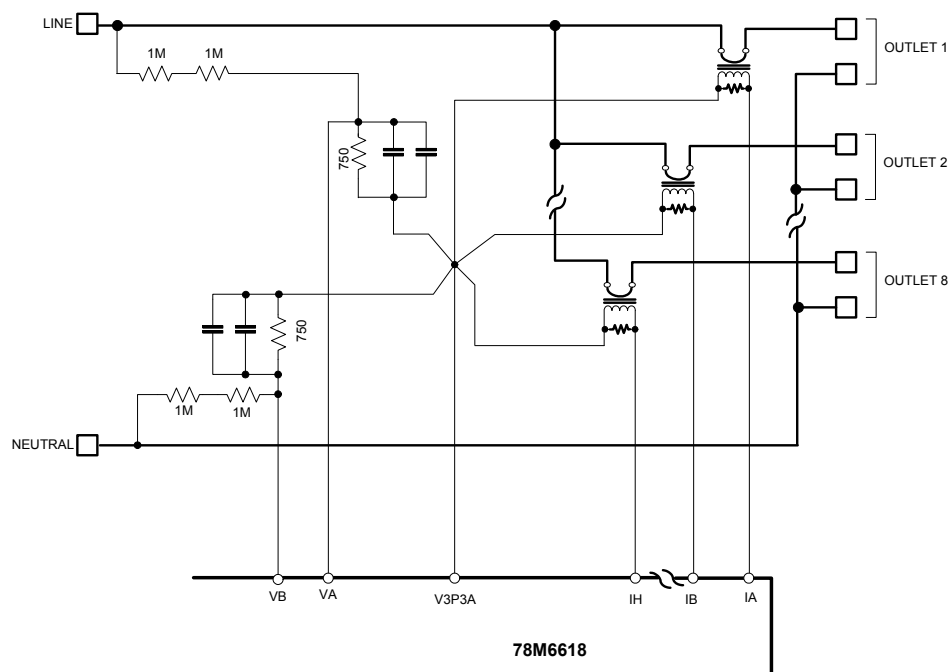
図 36:**CT と分圧器を使用する場合の接続(ガルバニック絶縁なし)**

マルチシャント測定性能に不可欠のV3P3リファレンス点は、CTでは問題になりません。CTの二次巻線で発生する出力電流は十分に小さいので、1オンスの銅メッキのシート抵抗でも隣接CTによる測定誤差は生じません。CTの二次側ピン、負担抵抗、フィルタ部品を上下のPCB層のV3P3プレーン面でシールドします。複数のV3P3ビアを挿入し、上下のV3P3構造を相互接続して、ローインピーダンスシールドにします。

4.3.1 その他の接続

絶縁型構成の場合、2.2の項と同じ電源デカップリング回路を使用します。ただし、V3P3がACニュートラルに接続されていない場合、78M6618の電源およびグランド接続は、システム内の他の(絶縁された)部品と共有できます。

高電圧ACと78M6618の間にハイインピーダンス接続があるため、非絶縁型センサー構成(抵抗分圧器)のライン電圧センサーの推奨事項は、絶縁型構成にも適用できます。または、完全に絶縁された電圧検出を行うため、電圧トランス(VT)を使用する方法もあります。

5 較正に関する考慮事項

すべての電力測定ICは、高い精度を達成するためインシステム較正を用いる必要があります。インシステム較正は、PCBトレース長、LINE入力分圧抵抗回路網、電流センサーの許容誤差、および78M6618のIC許容誤差を補正します。許容誤差の小さい部品を使用すると、必要な測定精度によっては、インシステム較正を削減または完全に除外することができます。

たとえば、以下の表は、さまざまな較正レベルで達成でき精度のレベルを示しています。電流のみの較正では、電流検出抵抗器の許容誤差のみを補正し、電圧センサーには許容誤差0.1%の抵抗器を使用します。フル較正では、分圧器と電流センサーの許容誤差の両方を補正します。

分圧器と電流センサー部品の初期許容誤差に対して高いレベルの精度がシステムに必要ない場合、規定の係数をファームウェアにハードコードすることで、生産ラインでの較正を実施せず、コストを最大限に節約することができます。

較正の種類	時間	精度
コンセント単位のフル較正	15s以下	0.5%以下
コンセント単位の電流のみの較正[1]	7.5s以下	1%以下
較正なし(係数固定)[1 2]	0	2.5以下

注:

1. 許容誤差0.1%の抵抗分圧器を使用します。
2. 許容誤差1%のシャント抵抗を使用します。または、電流トランスを使用する場合は負担抵抗を使用します。
3. V_TのICごとにバラツキがある場合は、フル較正が必要になります。

詳細については、「*78M661x Calibration Procedure* (78M661xの較正手順)」を参照してください。

改訂履歴

改訂番号	改訂日	備考
1.0	4/16/2010	初版
1.1	8/31/2010	「タイミングリファレンス」の項を追加
1.2	10/29/2010	「電圧トランス」の項を追加
2	11/4/2011	項2.2と項2.5にPDUの設計に関する情報を追加 項3.2.2「基板の積層と層の割り当て」を追加
3	4/11/12	p.3から「1000 pFのコンデンサを78M6618のV3P3Aピンのすぐ近くに配置します。」を削除 p.7の「250」に「±」を追加 図29、図30、図31の図参照を修正

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600